

CLIPPEDIMAGE= JP404214537A
PAT-NO: JP404214537A
DOCUMENT-IDENTIFIER: JP 04214537 A
TITLE: THIN FILM TRANSISTOR MATRIX

PUBN-DATE: August 5, 1992

INVENTOR-INFORMATION:

NAME
NASU, YASUHIRO
WATABE, JUNICHI
MATSUMOTO, TOMOTAKA

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP02401500
APPL-DATE: December 12, 1990

INT-CL (IPC): G02F001/136; H01L027/12 ; H01L029/784
US-CL-CURRENT: 349/FOR.111

ABSTRACT:

PURPOSE: To attain a structure for preventing the discontinuity of a drain bus in a manufacturing process to improve the yield.

CONSTITUTION: A thin film transistor matrix consists of a drain electrode 8 and a drain bus 9 on a substrate 1. The drain bus 9 is connected to the drain electrode 8. At that connection, the drain bus 9 overlaps the drain electrode 8 in the longitudinal direction of the drain bus 9 leaving a part of the drain bus 9 not overlapping in the right-angled direction. The structure is such that an angle between the periphery of the drain electrode 8 defining the overlapped area of the drain electrode 8 and the drain

bus 9 and the periphery
of the drain bus 9 is the acute one.

COPYRIGHT: (C)1992, JPO&Japio

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 02 F 1/136	5 0 0	9018-2K		
H 01 L 27/12		A 7514-4M		
29/784				
	9056-4M		H 01 L 29/78	3 1 1 A

審査請求 未請求 請求項の数2(全4頁)

(21)出願番号 特願平2-401500

(22)出願日 平成2年(1990)12月12日

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72)発明者 那須 安宏
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72)発明者 渡部 純一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72)発明者 松本 友孝
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74)代理人 弁理士 井桁 貞一

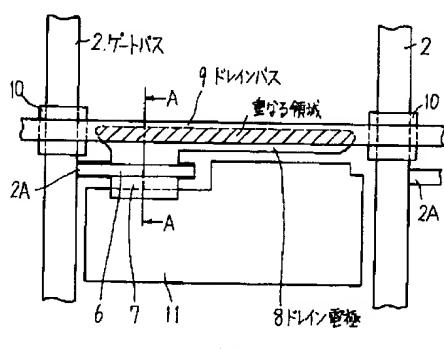
(54)【発明の名称】 薄膜トランジスタマトリックス

(57)【要約】

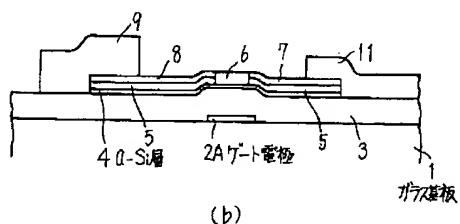
【目的】 薄膜トランジスタマトリックスに関し、製造プロセスにおけるドレインバスの断線を防止し歩留りを向上する構造を目的とする。

【構成】 基板1上にドレイン電極8とドレインバス9を有し、ドレインバス9はドレイン電極8に接続し、その接続部においてドレインバス9は、ドレインバス9の長さ方向に直角な方向にドレインバス9の一部を残してドレイン電極8の上に重なっている薄膜トランジスタマトリックスにより構成する。また、ドレイン電極8とドレインバス9の重なる領域を区画するドレイン電極8周縁部とドレインバス9周縁部とのなす角が鈍角であるように構成する。

実施例を説明するための図



(a)



(b)

【特許請求の範囲】

【請求項1】 基板(1) 上にドレイン電極(8) とドレインバス(9) を有し、該ドレインバス(9) は該ドレイン電極(8) に接続し、その接続部において該ドレインバス(9) は、該ドレインバス(9) の長さ方向に直角な方向に該ドレインバス(9) の一部を残して該ドレイン電極(8) の上に重なっていることを特徴とする薄膜トランジスタマトリックス。

【請求項2】 前記ドレイン電極(8) と前記ドレインバス(9) の重なる領域を区画する該ドレイン電極(8) 周縁部と該ドレインバス(9) 周縁部とのなす角が鈍角であることを特徴とする請求項1記載の薄膜トランジスタマトリックス。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜トランジスタマトリックスに関する。近年、液晶ディスプレイ、エレクトロルミネッセンス等の駆動素子として、薄膜トランジスタ(以下、TFTと称する)マトリックスが使用されるようになった。このようなTFTマトリックスにおいては、数十万箇のTFTを無欠陥で作製する必要があるが、大面積基板上の微細加工を伴うため、製造歩留りが十分でなく、製造歩留りの向上が強く要望されている。

【0002】

【従来の技術】 図2(a), (b)は従来例を説明するための図で、液晶ディスプレイを駆動するTFTマトリックスの1素子とその周辺を示し、(a)は上面図、(b)はA-A断面図であり、1はガラス基板、2はゲートバス、2Aはゲート電極、3はゲート絶縁膜、4は非晶質Si(a-Si)層、5は接合層、6はチャネル保護膜、7はソース電極、8はドレイン電極、9はドレインバス、10は層間絶縁膜、11は表示電極を表す。

【0003】 まずガラス基板1上にゲートバス2とそれに接続するゲート電極2Aが形成され、次いで、ゲート絶縁膜3を介して活性層となるa-Si層4が形成される。a-Si層4の上に、接合層5、チャネル保護膜6、ソース電極7、ドレイン電極8が画素ごとに分離して作られ、画素ごとにTFTが形成される。接合層5は例えばりん(P)ドープa-Si、チャネル保護膜6は例えばSiO₂、ソース電極7とドレイン電極8は例えばTiからなる。

【0004】 ドレインバス9とゲートバス2の交叉部となる場所に層間絶縁膜10を形成し、それから全面にA1膜を形成し、そのA1膜をマスクを用いてエッチングすることによりドレイン電極8に接続するドレインバス9を形成する。

【0005】 ところで、このエッチングは通常ウエットエッチングにより行うが、ドレイン電極8の上にドレインバス9が乗り上げる段差部の両端からサイドエッチングが進み、段差部でドレインバス9が断線することがある。

【0006】 このような事故の生じる確率は必ずしも高くはないが、数十万箇のTFTを含むTFTマトリックスの製造においては歩留り低下の一要因となっていた。

【0007】

【発明が解決しようとする課題】 本発明は上記の問題に鑑み、たとえドレイン電極8とドレインバス9の段差部からサイドエッチングが進行したとしても断線に到らない構造を有するTFTマトリックスを提供することを目的とする。

【0008】

【課題を解決するための手段】 図1(a), (b)は、実施例を説明するための図である。上記課題は、基板1上にドレイン電極8とドレインバス9を有し、該ドレインバス9は該ドレイン電極8に接続し、その接続部において該ドレインバス9は、該ドレインバス9の長さ方向に直角な方向に該ドレインバス9の一部を残して該ドレイン電極8の上に重なっているTFTマトリックスによって解決される。

【0009】 また、前記ドレイン電極8と前記ドレインバス9の重なる領域を区画する該ドレイン電極8周縁部と該ドレインバス9周縁部とのなす角が鈍角であるTFTマトリックスによって解決される。

【0010】

【作用】 ドレイン電極8とドレインバス9の重なる領域を上記(図1(a))のように形成すれば、ドレイン電極8とドレインバス9の段差部の片側からしかサイドエッチングは進行しない。また、たとえサイドエッチングが進行し、ドレインバス9に亀裂が生じたとしても、完全に断線に到るということはない。

【0011】 さらに、重なる領域を区画するドレイン電極8周縁部とドレインバス9周縁部とのなす角が鈍角であれば、そこからのサイドエッチングの進行速度が小さくなるということを本発明者等は見出した。

【0012】 したがって、ドレイン電極8とドレインバス9の接続部を本発明のような形状とすることにより、ドレインバス9の断線を防ぎ、TFTマトリックスの製造歩留りの向上を期することができる。

【0013】

【実施例】 図1(a), (b)は実施例を説明するための図で、液晶ディスプレイを駆動するTFTマトリックスの1素子とその周辺を示し、(a)は上面図、(b)はA-A断面図を示す。製造工程の概略は次の如くである。

【0014】 ガラス基板1上に幅が例えば20μm、厚さが例えば1000ÅのA1のゲートバス2と、それに接続する幅が例えば5μm、厚さが例えば800ÅのTiのゲート電極2Aを形成する。

【0015】 次に、厚さが例えば3000Åのゲート絶縁膜を形成し、その上に活性層として厚さが例えば150Åのa-Si層4、チャネル保護膜6として厚さが例えば14

00ÅのSiO₂膜を形成する。ゲート電極2Aをマスクにして、チャネル保護膜6をセルフアラインでパターニングした後、チャネル保護膜6両側のa-Si膜4上に厚さが例えば500Åのn-a-Si層の接合層5、厚さが例えば1000ÅのT1のソース電極7、ドレイン電極8をリフトオフ法により形成する。

【0016】ゲートバス2と直交するドレインバス9の交叉部に厚さが1μm程度のポリイミドの層間絶縁膜10を形成する。あるいはチャネル保護膜6のSiO₂膜を層間絶縁膜10に兼用することもできる。

【0017】次に、全面に厚さが例えば6000ÅのA1膜を形成し、そのA1膜をマスクを用いてりん酸系のエッティング液によりエッティングすることによりドレイン電極8に接続するドレインバス9を形成する。ドレインバス9の幅は例えば10μmである。ドレイン電極8に接続するドレインバス9がドレイン電極8と重なる領域は、幅が例えば約5μm、長さが例えば300μmである。

【0018】この重なる領域はドレイン電極8の周縁部とドレインバス9の周縁部で区画されるが、そのドレイン電極8の周縁部とドレインバス9の周縁部がなす角度20は、直角より大きく、例えば135度である。

【0019】サイドエッティングによるドレインバス9の断線はなく、特性に影響を与えるほどの幅の細りも見られなかった。ソース電極7に接続する表示電極11を形成する。表示電極11は厚さが、例えば3000ÅのITOである。

【0020】本発明のTFTマトリックスはドレイン電極8とドレインバス9のパターンの形状のみが従来と異

なり、製造プロセスは、従来のプロセスと変わらない。

【0021】

【発明の効果】以上説明したように、本発明によれば、製造プロセスは従来のプロセスの変更を伴うことなく、ドレイン電極8とドレインバス9のパターンの形状変更のみでドレインバス9のサイドエッティングによる断線を防ぐことができる。

【0022】本発明はTFTマトリックスの製造歩留りを顕著に向上するという効果を奏するものである。

【図面の簡単な説明】

【図1】実施例を説明するための図で、(a)は上面図、(b)はA-A断面図である。

【図2】従来例を説明するための図で、(a)は上面図、(b)はA-A断面図である。

【符号の説明】

1は基板であってガラス基板

2Aはゲート電極

2はゲートバス

3はゲート絶縁膜

4はa-Si層

5は接合層

6はチャネル保護膜

7はソース電極

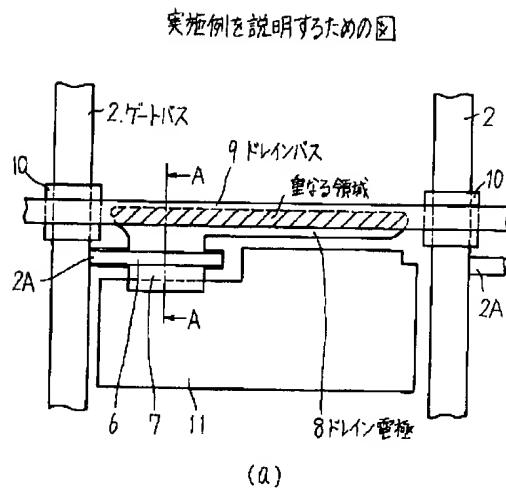
8はドレイン電極

9はドレインバス

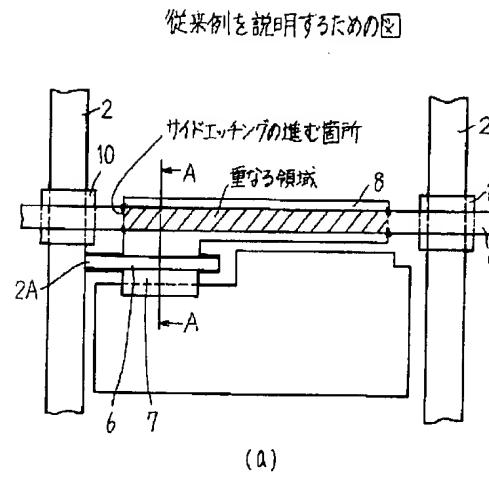
10は層間絶縁膜

11は表示電極

【図1】

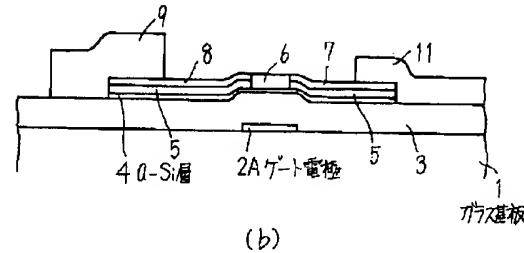


【図2】



(a)

(a)



(b)

(b)